

**Method of fabricating s miconductor memory device**

Patent Number: ☐ EP1017096  
Publication date: 2000-07-05  
Inventor(s): TAKENAKA NOBUYUKI (JP); IGUCHI KATSUJI (JP); OHNISHI SHIGEO (JP)  
Applicant(s):: SHARP KK (JP)  
Requested Patent: ☒ JP2000196039 (JP00196039)  
Application Number: EP19990310526 19991223  
Priority Number(s): JP19980373876 19981228  
IPC Classification: H01L21/8242 ; H01L21/02  
EC Classification: H01L21/8242B2  
Equivalents: ☒ US6153460

**Abstract**

A method of fabricating a semiconductor memory device comprises the steps of: (a) forming an interlayer insulating film on a semiconductor substrate, opening a contact hole in said interlayer insulating film, and burying a plug in said contact hole; (b) forming a first insulating film on said interlayer insulating film inclusive of said plug, and forming a trench in said first insulating film above said plug; (c) forming a first conductive film on said first insulating film inclusive of said trench, and etching back said first conductive film by a chemical mechanical polishing method to form a bottom electrode inside said trench; (d) forming a high dielectric film or a ferroelectric film and a second conductive film in this order on said first insulating film inclusive of said bottom electrode; and (e) patterning simultaneously said high dielectric film or ferroelectric film and said second conductive film

to form a capacitor insulating film and a top electrode.



Data supplied from the esp@cenet database - 12

TO  
11017 US  
09/034923  
04/16/01

(2)

## 【請求項1】 (8) 半導体基板上に層間絶縁膜を形成

【請求項1】 (a) 半導体基板上に層間絶縁を形成

し、該層間絶縁膜にコンタクトホールを形成し、さらに

該コンタクトボール内にプラグを形成し、

(c) 該溝を含む前記第1絶縁膜上に第1導電膜を形成し、該第1導電膜を化学的機械的研磨法によってエッチバックすることにより前記溝内に下部電極を形成し、

(e) 前記高誘電体膜又は強誘電体膜及び第2導電膜を

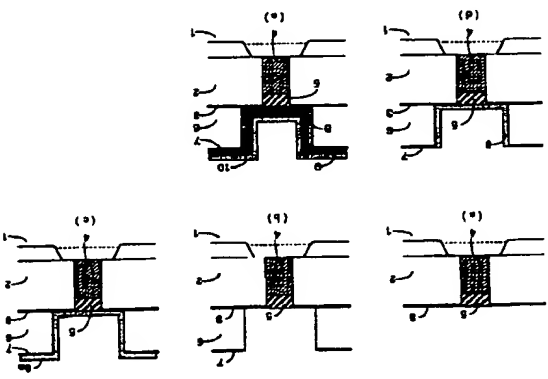
図4及び上部電極を形成することからなる半導体配層製造の製造方法。

【請求項2】 (A) 半導体基板上に層間絶縁膜を形成し、該層間絶縁膜にコンタクトホールを形成し、さらに、該コンタクトホール内にプラグを形成し、

(B) 該プラグを含む前記層間絶縁膜上に第1絶縁膜を形成し、前記プラグの上の第1絶縁膜に溝を形成し、

(C) 該溝を含む前記第1絶縁膜上に第1導電膜を形成し、該第1導電膜を化学的機械的研磨法によってエッチバックすることにより前記溝内に下部電極を形成し、

(D) 該下部電極を含む第1絶縁膜上に第2絶縁膜を形成



【発明の詳細な説明】

[0001]

【発明の属する技術分野】この発明は半導体装置の製造方法に関し、より詳細には、強誘電体メモリ及びDRAMを高集積化するために、CMP法を用いた電極形成に

【特許請求の範囲】  
【請求項１】（Ａ）半導体基板上に層間絶縁層を形成

に、該期間始終間にコンタクトホールドを形成し、さらに

(b) 該ブラグを含む前記電阻層上に第1絶縁膜を形成し、前記ブラグ上の第1絶縁膜に溝を形成し、  
(c) 該溝を含む前記第1絶縁膜上に第1導電膜を形成し、該第1導電膜を化学的腐蝕的研磨法によってエッチバックすることによって前記溝内に下部電極を形成し、  
(d) 該下部電極を含む第1絶縁膜上に高抵抗電体膜又は高抵抗電層及び第2導電膜をこの順で形成し、

(e) 前記高抵抗電体膜及び高抵抗電体膜及び第2導電膜を同時にパターンニングすることによって、キャパシタ絶縁膜及び上部電極を形成することからなる半導体記憶装置の製造方法。

【請求項2】 (A) 半導体基板上に層間絶縁膜を形成し、該層間絶縁膜にコンタクトホールを形成し、さらに該コンタクトホール内にブラッグを形成し、(B) 該ブラッグを含む前記層間絶縁膜上に第1絶縁膜を

形成し、前記プラグ上の第1絶縁膜に溝を形成し、  
(C) 該溝を含む前記第1絶縁膜上に第1導電膜を形成し、該第1導電膜を化学的機械的研磨法によってエッチバックすることにより前記溝内に下部電極を形成し、  
(D) 該下部電極を含む第1絶縁膜上に第2絶縁膜を形成し、前記下部電極上の第2絶縁膜に溝を形成し、  
(E) 該溝の側壁に絶縁膜サイドウォールスペーサを形成し、  
(F) 前記溝及び絶縁膜サイドウォールスペーサを含む前記第2絶縁膜上に高誘電率絶縁膜又は強誘電率絶縁膜及び第2導電膜をこの順で形成し、  
(G) 前記高誘電率絶縁膜又は強誘電率絶縁膜及び第2導電膜を化学的機械的研磨法によって同時にエッチバックすることによりキャパシタ絶縁膜及び下部電極を形成することとなる。

からなる半導体記憶装置の製造方法。

【請求項3】 下部電極及び上部電極が、Pt、Ru、Ir、 $\text{IrO}_2$ /Ru又は $\text{IrO}_2$ /Irにより形成され、  
なる請求項1又は2に記載の半導体記憶装置の製造方法。

【請求項4】 高誘電体膜が(Ba,Sr) $\text{TiO}_3$ 、強誘電体膜が $\text{PbTi}_{1-x}\text{Zr}_x\text{O}_3$ 又は $\text{SrBi}_2\text{Ta}_2\text{O}_{10}$ である請求項1又は2に記載の半導体記憶装置の製造方法。

【請求項5】 絶縁膜サイドウォールスペーサが、 $\text{TiO}_2$ 又は $\text{TaO}_2$ からなる請求項2に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

**【0001】**  
【発明の属する技術分野】この発明は半導体装置の製造方法に関し、より詳細には、強誘電体メモリ及びDRA方法に関する。

(4)

て形成することができる。層間飽和線の厚さは、通常層間飽和線として機能する厚度であればよく、例えば、700mm程度でも3000mm程度が挙げられる。この層間飽和線にコンクリートボールを形成する。コンクリートボールの形成方法は、特に限定されるものではなく、例えば、フォトリソグラフィ及びエッチング工程によって形成することとができる。この製造されたコンクリートボールの大きさ、層間飽和線の厚さ、およびコンクリートボールの形状は、層間飽和線の下層と上層との電気的な接続を確保できる大きさであり、特に限定されない。

【0013】このコンタクトホール内にプラグを形成する。プラグは導電性材料によってその表面を平坦に形成することが好ましい。例えば、チタン、タンタル、タンタルニオブ、タングステン等の高融点金属、ポリシリコンの単層膜又は積層膜が挙げられる。また、プラグの下層又は上層に、Ta、TiN、Ti、Cu、Ni、Pt、Pd、Ag、Au等の金属膜が形成されていてもよい。導電材料との密着性を改善するために、TiN、Ta、Cu、Ni、Pt、Pd、Ag、Au等の金属膜が形成されていてもよい。これらプラグ、バリアメタル等は、公知の方法、例えば、スパッタリング法、真空蒸着法等と、エッチバック、好ましくはCMP法によるエッチバックとを組み合わせてにより形成することができ、

【0014】次に、(b) プラグを含む層間絶縁膜上に第1絶縁膜を形成し、プラグ上の第1絶縁膜に溝を形成して成す。第1絶縁膜は、通常、プラグを含み層間絶縁膜となる上面に形成することが好ましい。第1絶縁膜は、絶縁性を有する膜であれば、その材料は特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜、 $\text{TiO}_2$ 、 $\text{Ta}_2\text{O}_5$ 等の物質又は多層からなる絶縁膜が挙げられる。なお、プラグ上に形成される後述の下部電極とこの層特性を高めるために、 $\text{TiO}_2/\text{SiO}_2$ の積層膜が好ましい。これらの絶縁膜は、例えば、CVD法等の公知の方法にしたがって形成することができる。また、第1絶縁膜の厚さは、例えば、 $200\sim 300\text{ nm}$ 程度が挙げられる。

[illegible]

【0016】さらに、(c)溝を含む第1絶縁膜上に第1導電膜を形成し、第1導電膜を化学的機械的研磨法によってエッチバックすることにより下部電極を形成する。

【0017】第1導電膜は、通常、溝を含む第1絶縁膜上全面に形成することが好ましい。第1導電膜は、通常、の電極材料で形成するのであれば特に限定されるもので

[illegible]

【0011】本発明で使用することのできる半導体基板は、通常半導体装置を形成するために使用される基板であつて、例えばシリコン、ゲルマニウム等の半導体、GaAs、InGaAs等の化合物半導体等からなる基板を使用することができる。なかでも、シリコン基板が好ましい。この半導体基板は、ロコエッチ法やトレンチング法による第1分断面が形成されたいつてもよいし、トランジスタ、キャパシタ又は抵抗等が形成されたいつてもよい。

【0012】この半導体基板上に、層間絶縁膜を形成する。この際の層間絶縁膜は、絶縁性を有する膜であれば、その材料は特に限定されるものではなく、例えば、シリコン酸化物、シリコン窒化膜、PSG、BPSG等の半導体又は多層からなる絶縁膜が挙げられる。これらの絶縁膜は、例えば、CVD法等の公知の方法にしたがって

(3)

ホール、コンタクトホール内にコンタクトプラグ41が形成された半導体基板上において、コンタクトプラグ41上にSiO<sub>2</sub>膜42を形成する。その後、コンタクトプラグ41上において、このSiO<sub>2</sub>膜42にマスクを用いて開口部を形成し、この開口部内に下部電極43/強誘電体44/上部電極45/TEOS膜46を順次堆積する。続いて、これらと同時にCMP研磨することにより、SiO<sub>2</sub>膜42に形成した開口部内に凹形状の孤立キャパシタCpを形成するとともに、この孤立キャパシタ表面の凹部にTEOS膜46を埋設する。さらに、この孤立キャパシタCpの凹部のTEOS膜46に、マスクを用いてドライエッチングによりコンタクトホールを開いた後、このコンタクトホールを含むキャパシタ上に、金属膜を形成し、この金属膜をマスクを用いてパターンニングして共通プレート電極47を形成する。

【0006】しかし、このような工程では、コンタクトプラグ41上の $\text{SiO}_2$ 膜42に開口部を形成するため、マスク、TEOS膜43をコンタクトホールを開くためのマスク、共通プレーン電極47にパターンニングするためのマスクと、3枚のマスクが必要となる。また、 $\text{SiO}_2$ 膜42の開口部内にキャパシタを形成する際のCMP工程及びTEOS膜46にコンタクトホールを形成するためのドライエッチングが必要となる。また、形成されたキャパシタ上にコンタクトホールを形成する必要があり、微細化がさらに進んだ場合に、コンタクトホールの形成自体が困難となるという問題も有している。

【0007】また、特開平7-22518号公報によれば、図6に示したように、トランジスタ、層間絶縁膜50、層間絶縁膜50にコンタクトホール、コンタクトホール内にコンタクトプラグ51が形成された半導体基板において、コンタクトプラグ51上に $\text{SiO}_2$ 膜52を形成する。その後、コンタクトプラグ51上で、この $\text{SiO}_2$ 膜52にマスクを用いて開口部を形成し、この開口部に導電膜を堆積し、CMP工程により、コンタクトプラグ51と接続された孤立の導電膜53を形成する。次いで、蓄積電極53上に強誘電膜54及び $\text{SiO}_2$ 膜55を順次堆積し、その後、蓄積電極53上に、マスクを用いてドライエッチングすることにより、孤立したドラム状の導電膜をCMP研削することにより、孤立したドラム状の導電膜56を形成する。しかし、この工程では、メモリアレイ近辺の回路部上にドライエッチングによるプラズマダメージが導入され、強誘電体特性が劣化するという問題がある。

**【0008】**

【課題を解決するための手段】本発明によれば、(a)半導体基板上に層間絶縁膜を形成し、該層間絶縁膜にコンタクトホールを形成し、さらに該コンタクトホール内にシールド材料を充填して、該コンタクトホールの開口部を封止する。

はないが、なかでも、Pt, Ru, Ir, IrO<sub>2</sub>/R  
cu又はIrO<sub>2</sub>/Irの単層膜が耐腐蝕層が好ましい。こ  
の耐腐蝕層は、先の工程で形成した溝の深さよりも薄。  
1膜厚、例えば、500〜2000Å程度の膜厚で形成  
することが好ましい。第1導電層は、公知の方法、例え  
ばCVD法、MOCVD法、スパッタリング法、メッキ  
法、エレクトロプレート法により形成することができ、  
なかでも、被覆特性の観点から、MOCVD法及エレ  
クトロプレート法が好ましい。具体的には、MOCVD  
法の場合には、比較的高温の高いPt、Ir等の有機  
金属錯体を原料に用いて、熱分解する方法が挙げら  
れ、エレクトロプレート法の場合には、H<sub>2</sub>(PtCl<sub>4</sub>)、  
Ir(SO<sub>4</sub>)<sub>2</sub>・M・Ir(SO<sub>4</sub>)<sub>2</sub>・H<sub>2</sub>O等の配位  
液を電気分解する方法が挙げられる。なお、エレクト  
ロプレート法の場合には、同じ金属で構成されるシード層が  
必要であるため、あらかじめ、第1導電層とされる金属膜  
を、シード層として、スパッタリング法、イオンメタル  
プラズマ法等により形成す。

【0018】第1導電層を化学的機械的研磨法によってエッチバックすることにより溝内にのみ下部電極を形成する。つまり、溝内以外の第1絶縁膜に存在する第1導電層をエッチング除去する。ここで、化学的機械的研磨法は、 $\text{CeO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Al}_2\text{O}_3$ 等の研磨剤の第1導電層を構成する金属を溶解させる溶液を混ぜ合わせたスラリーを150〜200msec程度の供給量で、回転プレート上の被エッチング部に塗布することにより供給し、CMP法により研磨する方法である。第1導電層を構成する金属を溶解させる溶液としては、例えば、 $\text{P}$ はカリウム/ $\text{KMnO}_4$ 等の溶液を挙げることができる。なお、第1導電層の厚みが、溝の深さよりより薄い場合には、下部電極は溝内のみ凸部形状に形成することである。また、第1導電層の厚みが、溝の深さとはほぼ同等又は溝の深さより厚い場合には、下部電極は溝内、一面が第1絶縁膜と面一に、平坦な形状に形成することである。

【0019】さらに、(d) 下部電極を含む第1絶縁膜上に高誘電率体膜又は強誘電率体膜及び第2導電膜をこの順に形成することによって、高誘電率体膜又は強誘電率体膜及び第2導電膜は、下部電極を含めて第1絶縁膜上に形成することが好ましい。ここで、高誘電率体膜又は強誘電率体膜は、キヤパシタ絶縁膜として機能するものであり、例えば、高誘電率絶縁膜としては  $(\text{Ba}, \text{Sr})\text{TiO}_3$  が挙げられ、強誘電体膜としては  $(\text{Ba}, \text{Sr})\text{TiO}_3$  が挙げられ、 $0.0 < x < 1$  の  $\text{Pb}(\text{Ti}_{1-x}\text{Zr}_x)\text{O}_3$  が挙げられ、これらの膜の厚さは、例えば、500～2000Å程度が挙げられ、これらの膜は、公知の方法、例えばMOCVD法、スパッタリング法、MOD法、ゾルゲル法等により形成することができ、なお、これら各成分膜は後に形成する。

(5)

例えば、400～800℃程度の温度範囲、酸素、酸素/窒素、酸素/アルゴン雰囲気中等で30秒間～数時間程度アニール処理を施すことが好ましい。

【0020】第1導電膜は、上述した第1導電膜と同様の材料で、同様の厚度で、同様の成膜方法で形成することができる。なお、第1導電膜と第2導電膜とは必ずしも同じ材料、同じ厚度で形成する必要はなく、半導体装置の特性、その下層又は上層に配置される素子や絶縁膜等に応じて、適宜調整することができ。

【0021】続いて、(e) 高誘電率膜又は強誘電体膜及び第2導電膜を同時にバタニニングすることによって、キャパシタ絶縁膜及び上部電極を形成する。高誘電率膜又は強誘電体膜及び第2導電膜は、フォトリソグラフィ及びエッチング工程により、清と同じ大きさ又は清よりも大きくバタニニングしてもよい。これにより、清内のみに対応する下部電極と、キャパシタ絶縁膜及び上部電極は、ノード電極として、上部電極は共通プレーット電極又はドライブラインとして機能するように形成することができ。

【0022】また、本発明の別の半導体装置の製造方法によれば、工程(A)～(C)において、上述した工程(a)～(c)と同様に下部電極を形成する。なお、ここで形成される下部電極は、清内であって、表面が第1絶縁膜に面し、平坦な形状に形成することが好ましい。

【0023】次いで、(D) 下部電極を含む第1絶縁膜上に第2絶縁膜を形成し、下部電極上の第2絶縁膜に溝を形成する。第1絶縁膜としては、第1絶縁膜に同様の材料を同様の方法で形成することができ。第1絶縁膜の厚さは、後の工程で形成する上部電極等の厚厚を決定するものであるため、上部電極等の厚厚に対応させた厚厚で形成することが好ましい。例えば、2000～5000Å程度の厚厚が挙げられる。

【0024】下部電極上の第1絶縁膜に溝を形成する。ここで、溝は、工程(b)における第1絶縁膜に溝を形成する方法と同様の方法により形成することができ。溝の大きさは特に限定されるものではないが、下部電極を覆い、さらにその外周部にまで広がるような大きさに形成することが好ましい。

【0025】さらに、(E) 溝の側壁に絶縁膜サイドウォールスベアを形成する。この際の絶縁膜サイドウォールスベアは、上述した第1絶縁膜と同様の材料、好ましくは、 $TiO_2$ 又は $TaO_2$ 膜を、厚厚200～1000Å程度で形成し、RIE法によりエッチバックすることによって形成することができ。この絶縁膜サイドウォールスベアにより、シリコン酸化膜と後工程で形成する高誘電率膜又は強誘電体膜との接触によるこれらの劣化を防止することができる。

【0026】次いで、(F) 溝及び絶縁膜サイドウォールスベアを含む第2絶縁膜上に高誘電率膜又は強誘電

率膜を含む第2絶縁膜上に高誘電率膜又は強誘電率膜及び第2導電膜をこの順で形成する。高誘電率膜又は強誘電率膜及び第2導電膜は、通常第1絶縁膜全面に形成することが好ましい。なお、これら膜の形成は、上述した工程(d)における膜と同様の材料、方法により形成することができ。

【0027】続いて、(G) 高誘電率膜又は強誘電率膜及び第2導電膜を化学的機械的研磨法によって同時にエッチバックすることによりキャパシタ絶縁膜及び上部電極を形成する。なお、この際のエッチバックは、工程(c)におけるエッチバックと同様の方法で行うことができる。これにより、上部電極が、溝内に、表面が第2絶縁膜と面し、平坦な形状に形成することができ。

【0028】以下に、この発明の半導体装置の製造方法について、図面に基いて説明する。なお、これらの実施例によつては、この発明は限定されない。

【0029】実施例1  
まず、図1(a)に示したように、トランジスタが形成されたシリコン基板1上に厚厚1～1.5μm程度の $SiO_2$ 膜2、厚厚500Å程度の $SiN$ 膜3による層間絶縁膜を形成する。この層間絶縁膜にコンタクトホールを形成し、例えば、厚厚1000～3000Å程度のドーパドポリシリコン膜を堆積し、RIE法にてエッチバックしてドーパドポリシリコン膜をコンタクトホール内に埋め込んで、プラグ4を形成する。次に、プラグ4上に $TiN$ 、 $TaSiN$ 膜等を堆積し、CMP工程によりエッチバックすることにより、表面が平坦なバリアメタル5を形成する。

【0030】続いて、図1(b)に示したように、厚厚2000～3000Å程度の $SiO_2$ 膜6及び厚厚200～1000Å程度の $TiO_2$ 膜7からなる第1絶縁膜を堆積し、プラグ4上であって、キャパシタの蓄積電極に対応する部分に開口を形成する。なお、第1絶縁膜に $TiO_2$ /シリコンの2層膜とした場合には、後工程で高誘電率膜を堆積する際に、第1絶縁膜と強誘電率膜との密着性を維持することができ。

【0031】さらに、図1(c)に示したように、開口を含む第1絶縁膜上に、厚厚500～2000Å程度の $Pt$ 膜8aを形成する。ここで、 $Pt$ 膜8aは、比較的蒸気圧の高い $Pt$ の有機金属錯体を原料に用いて、熱分解法により形成した。

【0032】続いて、図1(d)に示したように、CMP法により、開口外に存在する $Pt$ 膜8aを研磨し、開口内のみ凹形状の下部電極となる $Pt$ 膜8を形成する。ここで、CMP法は、 $CeO_2$ 、 $ZrO_2$ 、 $Al_2O_3$ 等の研磨剤に $Pt$ を溶解させた王水等の溶液を混ぜ合わせたスラリーを用いて、化学的に機械研磨する方法である。

【0033】次に、図1(e)に示したように、ノード電極8上に、例えば、MOCVD法により、厚厚500

～2000Åで、強誘電率膜としてPZT膜9を形成し、700℃程度の温度で、10分間程度アニール処理を施す。その後、例えば、MOCVD法により、厚厚500～2000Å程度の $Ir$ 膜10を形成し、ノード電極8が形成された開口よりも低い幅でキャパシタ絶縁膜を形成するとともにドライブラインを形成するか、メモリアレイの外部でプレーット電極を形成する。このように方法によれば、キャパシタの上部電極となるプレーット電極上にコンタクトホールを形成し、さらにドライブラインを形成する必要がなくなり、製造工程を簡略化できる。

#### 【0034】実施例2

まず、図2(a)に示したように、実施例1と同様にシリコン基板1上に層間絶縁膜、コンタクトホール、プラグ4及びバリアメタル5を形成する。続いて、図2(b)に示したように、厚厚1000～3000Å程度の層間 $SiO_2$ 膜6及び厚厚200～1000Å程度の層間 $TiO_2$ 膜7からなる第1絶縁膜を堆積し、プラグ4上であって、キャパシタの蓄積電極に対応する部分に開口を形成する。さらに、開口を含む第1絶縁膜上に、厚厚500～2000Å程度の $Pt$ 膜18aを形成する。ここで、 $Pt$ 膜18aは、比較的蒸気圧の高い $Pt$ の有機金属錯体を原料に用いて、熱分解するMOCVD法により形成した。続いて、図2(c)に示したように、CMP法により、開口外に存在する $Pt$ 膜18aをCMP法によって研磨し、開口内に埋め込む形状の下部電極となる $Pt$ 膜18を形成する。

【0035】次に、図2(d)に示したように、ノード電極18を含む $TiO_2$ 膜7上に、 $SiO_2$ 膜16からなる第2絶縁膜を形成し、ノード電極18上であって、キャパシタのドライブレ線に対応する部分に開口を形成する。この開口上に厚厚200～1000Å程度の $TiO_2$ 膜17を堆積し、エッチバックすることにより、 $SiO_2$ 膜16側壁に $TiO_2$ 膜17によるサイドウォールスベアを形成する。

【0036】さらに、図2(e)に示したように、開口を含む $TiO_2$ 膜17上に、例えば、MOCVD法により、厚厚500～2000Åで、強誘電率膜としてPZT膜19aを形成し、700℃程度の温度で、10分間程度、アニール処理を施す。その後、例えば、MOCVD法により、厚厚500～2000Å程度の $Ir$ 膜20aを形成する。

【0037】続いて、図2(f)に示したように、上記のCMP法と同様の方法により、開口外に存在するPZT膜19a及び $Ir$ 膜20aをCMP法により研磨し、開口内を埋め込む形状の強誘電率膜19及びドライブレイン20を形成する。このような方法によれば、コンタ

クトプラグ4上の第1絶縁膜に開口部を形成するためのマスク、ノード電極18上の第2絶縁膜に開口部を形成するためのマスクと2枚のマスクを使用するのみでよく、製造工程を簡略化できる。しかも、ドライエッチングは行わないため、強誘電率膜へのプラズマダメージを低減することができ。

#### 【0038】

【発明の効果】本発明によれば、トランジスタ・1キキャパシタ構造のDRAM又は強誘電率メモリデバイスにおけるキャパシタ形成工程において、 $SiO_2$ 膜に形成された溝部に下部電極、あるいは下部電極、キャパシタ絶縁膜、上部電極のいずれをも形成し、CMP法でバタニニングするため、製造プロセスを複雑化させることなく、かつ強誘電率膜にエッチングダメージを与えないこと、高誘電率膜に対応した微細キャパシタを形成すること、高誘電率膜、高誘電率、微細化に対応できる半導体装置を製造することができる。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の一実施例を示す要部の縦断面図工程である。

【図2】本発明の半導体装置の製造方法の別の実施例を示す要部の縦断面図工程である。

【図3】従来の平面型キャパシタを有する強誘電率メモリセル構造を示す要部の縦断面図である。

【図4】従来のスタック型キャパシタを有する強誘電率メモリセル構造を示す要部の縦断面図である。

【図5】従来の強誘電率メモリセルの製造工程を説明するための要部の縦断面図である。

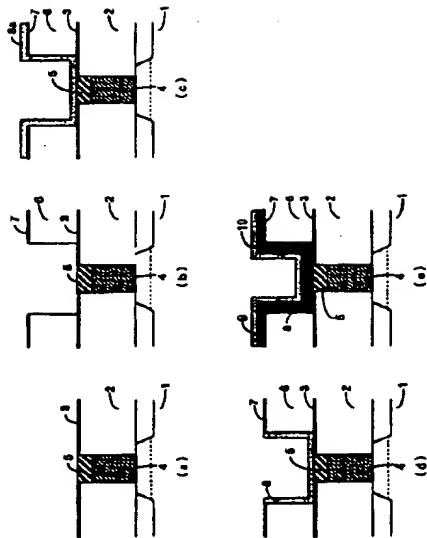
【図6】従来の別の強誘電率メモリセルの製造工程を説明するための要部の縦断面図である。

#### 【符号の説明】

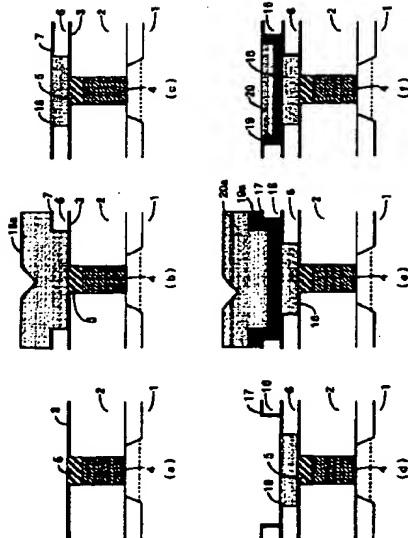
- 1 シリコン基板 (半導体基板)
- 2  $SiO_2$ 膜 (層間絶縁膜)
- 3  $SiN$ 膜 (層間絶縁膜)
- 4 プラグ
- 5 バリアメタル
- 6、16  $SiO_2$ 膜 (第1絶縁膜)
- 7、17  $TiO_2$ 膜 (第1絶縁膜)
- 8a、18a  $Pt$ 膜
- 8 ノード電極 (下部電極)
- 9、19a PZT膜
- 10、20a  $Ir$ 膜
- 16  $SiO_2$ 膜 (第2絶縁膜)
- 17  $TiO_2$ 膜 (絶縁膜サイドウォールスベア)
- 19 強誘電率膜
- 20 ドライブレイン (上部電極)

(1)

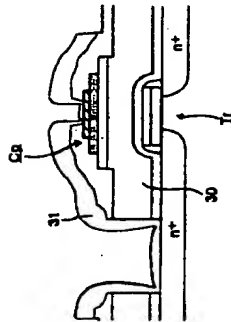
【図1】



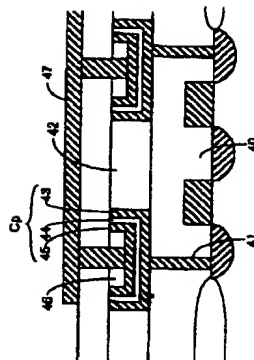
【図2】



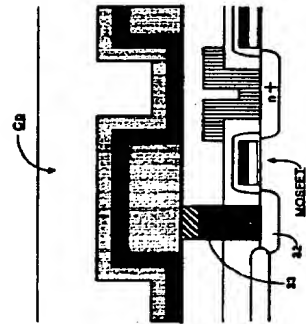
【図3】



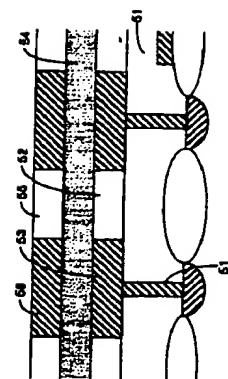
【図5】



【図4】



【図6】



フロントページの鏡き

(71) 発明者 井口 勝次  
大阪府大阪市阿倍野区長池町1番11号 シ  
ヤープ株式会社内

Ｆターム(参考) 5P004 AA11 BA04 DB03 EA13 BA19  
EB01 PB03 EB03 ZB05 PA01  
5P003 AD31 AD54 PB03 JA14 JA15  
JA17 JA38 JA40 JA43 JA56  
MA01 MA17 PB31 PB33 PB39  
PR40